



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06020494 A**(43) Date of publication of application: **28.01.94**

(51) Int. Cl.

**G11C 29/00**  
**G11C 11/401**
(21) Application number: **04196603**(22) Date of filing: **30.06.92**(71) Applicant: **HITACHI LTD TEXAS INSTR**  
**JAPAN LTD**(72) Inventor: **IWAI HIDETOSHI**  
**MURANAKA MASAYA**  
**NASU TAKUMI**  
**SUKEGAWA SHUNICHI**(54) **SEMICONDUCTOR MEMORY**

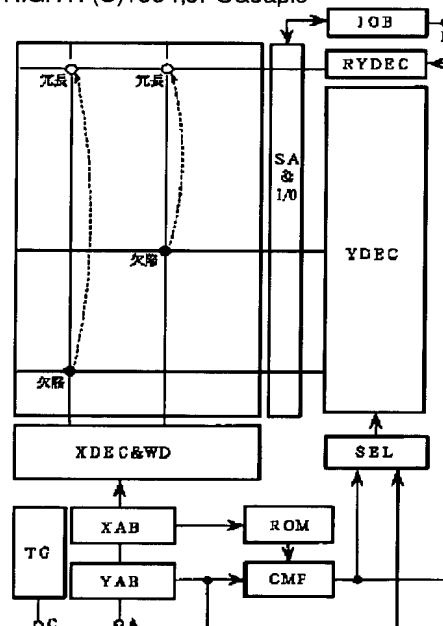
(57) Abstract:

**PURPOSE:** To reduce a circuit scale by providing a ROM accessed with an X system address and written with a Y system address signal having a defective cell and selecting the redundant circuit of the Y system when the read of the ROM coincides with the Y system address.

**CONSTITUTION:** This memory is provided with a buffers XAB, YAB and accessed by the X address signal and the Y address signal having the defective cell is stored in the ROM. The Y address signal is read from the ROM, and is compared with an input address signal by a comparator circuit CMP. When a coincidence signal is outputted, by a selector SEL, an input to the regular Y decoder circuit YDEC of the Y address signal is prohibited, and a redundant Y selection circuit RYDEC is operated, and the selective signal of the complemental data line for redundancy is outputted. The ROM is specified by a word line (X address) having the defective cell shown by black circle in figure, and the Y address is stored. By such a constitution, the random defective cells on each word line are replaced with one line of redundant cells selected by the redundant Y

selection circuit RYDEC. Then, the scale of the ROM and a CMP are reduced drastically.

COPYRIGHT: (C)1994,JPO&amp;Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-20494

(43)公開日 平成 6年(1994) 1月28日

(51)Int.Cl.<sup>5</sup>

G 1 1 C 29/00  
11/401

識別記号

3 0 1 B 6741-5L

6741-5L

庁内整理番号

F I

G 1 1 C 11/ 34

技術表示箇所

3 7 1 D

審査請求 未請求 請求項の数 4 (全 11 頁)

(21)出願番号

特願平4-196603

(22)出願日

平成 4年(1992) 6月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都港区北青山 3 丁目 6 番12号 青山富  
士ビル

(72)発明者 岩井 秀俊

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 徳若 光政

最終頁に続く

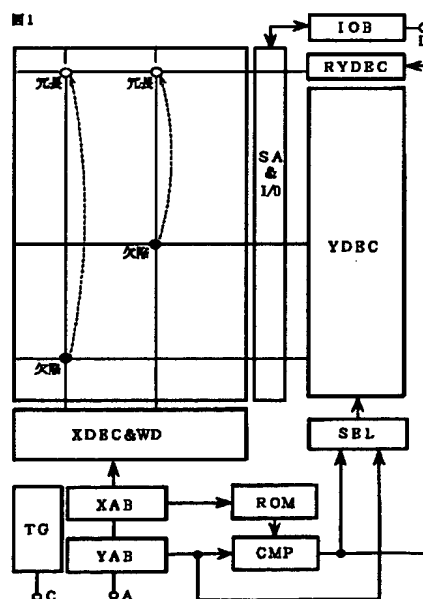
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 小さな回路規模によりランダム欠陥救済を実現した半導体記憶装置を提供する。

【構成】 X系のアドレスによりアクセスが行われて欠陥セルが存在するY系アドレス信号が電気的に書き込まれるROMを設け、このROMの読み出し信号とY系のアドレス信号とを比較して、一致したときY系の正規回路に代えてY系の冗長回路を選択させる。

【効果】 ROMは欠陥が存在するY系アドレス信号を記憶するものであるため素子数を低減できるし、比較回路はY系アドレスのみを比較すること及びY系の全アドレスに共通に利用できるから回路規模を大幅に縮小させることができる。



## 【特許請求の範囲】

【請求項1】 X系のアドレスによりアクセスが行われて欠陥セルが存在するY系アドレス信号が電氣的に書き込まれるROMと、このROMの読み出し信号とY系のアドレス信号とを比較する比較回路と、この比較一致出力によりY系の正規回路に代えてY系の冗長回路を選択させる欠陥救済回路を備えてなることを特徴とする半導体記憶装置。

【請求項2】 上記ROMは、コントロールゲートとフローティングゲートとを備え、フローティングゲートに記憶情報に従った電荷の蓄積を行わせるスタックドゲート構造の不揮発性メモリ素子を用いて構成されるものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記ROMは、X系のアドレス選択回路に隣接して設けられ、そのアドレス選択信号を利用して不揮発性メモリ素子の選択動作が行われるものであることを特徴とする請求項2の半導体記憶装置。

【請求項4】 半導体記憶装置は、X系アドレス信号とY系のアドレス信号とが時系列的に入力されるダイナミック型RAMであることを特徴とする請求項1、請求項2又は請求項3の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、例えば大記憶容量化を図ったダイナミック型RAM（ランダム・アクセス・メモリ）の欠陥救済技術に利用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体メモリ装置における欠陥救済技術として、欠陥ビットを含む行又は列（ワード線又はデータ線）を一括して冗長のための予備行又は列（予備ワード線又は予備データ線）と置換することにより行われるものがある。このような欠陥救済技術は、ワード線やデータ線に断線やショート不良が発生した場合には有効である反面、シリコン結晶等に起因するランダム欠陥に対しては効率が悪くなる。そこで、欠陥ビットを行と列の交点にして指定し、予備の行又は列に用意された冗長ビットと一対一に対応して置換させるという欠陥救済回路を備えた半導体メモリ装置が、特開平1-303699号公報により開示されている。

## 【0003】

【発明が解決しようとする課題】 上記特開平1-303699号公報の欠陥救済回路は、極めて小さな記憶容量を持つメモリ装置においてはランダム欠陥を効率よく救済できるが、現在開発が行われているような約16Mビットや64Mビットのような大記憶容量のメモリ装置には向かない。なぜなら、欠陥ビットの検出のために行及び列デコーダの出力を比較回路に供給し、前もって欠陥アドレスが記憶されたROMの出力と比較照合するものであるからである。例えば、16Mビットのようなメモ

リ装置を考えると、行と列のデコード出力は、単純に言ってそれぞれ4096となる。ROMには、1つの欠陥セルを指定すために行と列に対してそれぞれ4096個のヒューズが必要となり、比較回路は合計で8192ビットもの信号比較を行うため極めて大きな回路規模となる。このように僅か1つの欠陥ビットを救済するために、8192個のヒューズと8192本の信号バスと8192ビットもの比較動作を行う比較回路が必要になるものである。

【0004】 上記16Mビットのようなダイナミック型RAMでは、ワード線やデータ線に接続されるメモリセルの数が増大して動作速度が遅くなることや低消費電力化等のために、ワード線やデータ線が分割されて、複数のメモリマツト又はメモリアレイ或いはメモリブロックにより構成される。このようなワード線やデータ線の分割に応じて、みかけ上のデコード出力の数が増大するから、上記のような欠陥救済方法ではROMを構成するヒューズの数や比較回路によって照合される実際上のビット数が増大し、回路規模をいっそう増大させることになる。

【0005】 本願発明者等においては、上記特開平1-303699号公報の欠陥救済方式による回路規模を小さくするために、上記公報に記載されているようなデコード出力ではなくアドレス信号を比較することを考えた。アドレス信号なら16Mビットのようなダイナミック型RAMにあっても全体で僅か24ビットと少なくできるからである。しかしながら、やはり、1つの欠陥セルの指定のために、24個のヒューズからなるROMと、このROMの出力信号と上記24ビットからなるアドレス信号との比較を行う比較回路が必要になる。上記のようなランダム欠陥を救済するには、数ビット程度の救済では実際上は意味がなく、最低でも1000ビット程度の救済能力を必要とするものである。それ故、上記のようにアドレス信号を用いた比較方式を採用としても膨大な数のヒューズと膨大な回路規模の比較回路が必要になるものである。

【0006】 この発明の目的は、小さな回路規模によりランダム欠陥救済を実現した半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0007】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、X系のアドレスによりアクセスが行われて欠陥セルが存在するY系アドレス信号が電氣的に書き込まれるROMを設け、このROMの読み出し信号とY系のアドレス信号とを比較して、一致したときY系の正規回路に代えてY系の冗長回路を選択させる。

## 【0008】

【作用】上記した手段によれば、ROMは欠陥が存在するY系アドレス信号を記憶するものであるので素子数を低減できるし、比較回路はY系アドレスのみを比較すること及びY系の全アドレスに共通に利用できるから回路規模を大幅に縮小させることができる。

## 【0009】

【実施例】図5には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図における各回路ブロックは、実際の半導体チップにおける幾何学的な配置に合わせて描かれている。以下の説明において、MOSFETは絶縁ゲート型電界効果トランジスタ(IGFET)の意味で用いている。

【0010】この実施例においては、メモリの大容量化に伴うチップサイズの大型化による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐ等のために、RAMを構成するメモリアレイ部とそのアドレス選択等を行う周辺部との配置に次のような工夫が行われている。

【0011】同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十文字エリアには主に周辺回路が配置され、上記十文字エリアにより4分割されたエリアにはメモリアレイが配置される。すなわち、チップの縦方向と横方向の中央部に十文字状のエリアを設け、それにより4つに分割されたエリアにメモリアレイが形成される。特に制限されないが、上記4つのメモリアレイは、後述するようにそれぞれが約4Mビットの記憶容量を持つようにされる。これに応じて4つのメモリアレイ全体では、約16Mビットの大記憶容量を持つものとされる。

【0012】1つのメモリマット1は、横方向にワード線が延長するよう配置され、縦方向に一对からなる平行に配置される相補データ線又はビット線が延長するよう配置される。メモリマット1は、センスアンプ2を中心にして左右に一对が配置される。センスアンプ2は、左右に配置される一对のメモリマット1に対して共通に用いられるという、いわゆるシェアードセンスアンプ方式とされる。上記4つに分割されたメモリアレイのうち、中央部側にはY選択回路5がそれぞれ設けられる。Y選択線はY選択回路5からそれに対応するメモリアレイの複数のメモリマット上を延長するよう延びて、各メモリマットのカラムスイッチ用MOSFETのゲートのスイッチ制御を行う。

【0013】上記チップの横方向の中央部のうち、右側の部分にはXアドレスバッファ、X冗長回路及びXアドレスドライバ(論理段)とからなるX系回路10と、R

AS系制御信号回路11、WE系信号制御回路12及び基準電圧発生回路16がそれぞれ設けられる。上記基準電圧発生回路16はこのエリアの中央寄りに設けられ、約5Vのような外部電源VCCを受けて内部回路に供給される約3.3Vのような電圧に対応した定電圧VLを形成する。

【0014】上記チップの横方向の中央部のうち、左側の部分にはYアドレスバッファ、Y冗長回路及びYアドレスドライバ(論理段)とからなるY系回路13と、CAS系制御信号回路14及びテスト回路15がそれぞれ設けられる。そのチップ中央部には、アドレスバッファやデコーダといったような周辺回路用の電源電圧VCLを形成する内部降圧回路17が設けられる。

【0015】上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路、制御クロック発生を行うCAS、RAS系制御信号回路等を一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になるとともに、アドレスドライバ(論理段)等に最短で等距離で信号を伝えることができる。

【0016】RAS系制御回路11は、信号RASを受けてXアドレスバッファを活性化するために用いられる。Xアドレスバッファに取り込まれたアドレス信号は、従来のワード線単位での欠陥救済を行うX系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。その結果と上記アドレス信号とは、X系のブリデコーダに供給される。ここで、ブリデコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバを介して、前記のようなメモリマットに対応して設けられるそれぞれのXデコーダ3に供給される。

【0017】上記RAS系の内部信号は、WE系のコントロール回路とCAS系のコントロール回路に供給される。例えば、RAS信号とCAS信号及びWE信号との入力順序の判定から、自動リフレッシュモード(CBR)、テストモード(WCBR)等の識別が行われる。テストモードのときには、テスト回路15が活性化され、そのとき供給される特定のアドレス信号に従いテストファンクションが設定される。

【0018】CAS系の制御回路14は、信号CASを受けてY系の各種制御信号を形成するために用いられる。信号CASのロウレベルへの変化に同期してYアドレスバッファに取り込まれたアドレス信号は、従来のデータ線単位での欠陥救済を行うY系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。その結果と上記アドレス信号は、Y系のブリデコーダに供給される。ここで、ブリデコード信号が形成される。この

10

20

30

40

50

プリデコード信号は、4つからなる各メモリアレイ対応して設けられるYアドレスドライバを介して、それぞれのYデコーダに供給される一方、上記CAS系制御回路14は、前記のようにRAS信号とWE信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路15を活性化させる。

【0019】上記チップの縦方向の中央部のうち、上側の部分にはこのエリアの中心軸に対して左右対称的に合計16個のメモリマットと8個のセンスアンプがそれぞれ配置される。そのうち、左右4組ずつのメモリマットとセンスアンプに対応して4個からなるメインアンプ7が設けられる。この他、この縦中央上部には、内部降圧電圧を受けてワード線選択用等の昇圧電圧発生回路21や、アドレス信号や制御信号等の入力信号に対応した入力パッドエリア9B及び9Cが設けられる。上記左右4組ずつに分割されてメモリブロックに対応して、センスアンプ2の動作電圧を形成する内部降圧回路8がそれぞれに設けられる。

【0020】この実施例では1つのブロックには8個のメモリマット1と4個のセンスアンプ2が配置され、上記縦軸を中心として左右対称的に合計16個のメモリマット1と8個のセンスアンプ2が割り当てられる。この構成では、4個からなる少ないメインアンプ7を用いつつ、各センスアンプ2からの増幅信号を短い信号伝播経路によりメインアンプ7に伝えることができる。

【0021】上記チップの縦方向の中央部のうち、下側の部分にもこのエリアの中心軸に対して左右対称的に合計16個のメモリマットと8個のセンスアンプがそれぞれ配置される。そのうち、左右4組ずつのメモリマットとセンスアンプに対応して4個からなるメインアンプ7が設けられる。

【0022】この他、この縦中央下部には、内部降圧電圧を受けて基板に供給すべき負の基板バックバイアス電圧を形成する基板電圧発生回路18や、アドレス信号や制御信号等の入力信号に対応した入力パッドエリア9A及びデータ出力バッファ回路19及びデータ入力バッファ回路20が設けられる。

【0023】上記同様に左右4組ずつに分割されてメモリブロックに対応して、センスアンプ2の動作電圧を形成する内部降圧回路8がそれぞれに設けられる。これにより、上記同様に4個のような少ない数からなるメインアンプ7を用いつつ、各センスアンプ2からの増幅信号を短い信号伝播経路によりメインアンプ7に伝えることができる。

【0024】同図では省略されているが、上記縦中央部の領域には上記のようなエリア9A~9Cの他にも、各種のボンディングパッドが配置される。これらのボンディングパッドの例としては外部電源供給用のパッドがあり、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接

地電位を供給するパッドは、合計で十数個と比較的多くほぼ一直線上に並んで配置される。これらの接地電位用パッドは、LOC技術により形成される縦方向に延びる接地電位用リードに接続される。

【0025】これら接地用パッドのうち、ワード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止用のために特に設けられるものや、センスアンプのコモンソース用として設けられもの等のように主として電源インピーダンスを下げる目的で設けられる。これにより、回路の接地電位は内部回路の動作に対して電源インピーダンスが低くされ、かつ上記のごとく複数種類に分けられた内部回路間の接地配線が、LOCリードフレームとボンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えるとともに、内部回路間の回路接地線ノイズの伝播も最小に抑えることができる。

【0026】この実施例では、約5Vのような外部電源VCCに対応したパッドは、上記電圧変換動作を行う内部降圧回路8及び17に対応してそれぞれ設けられる。これも上記同様に電源インピーダンスを低くするとともに、内部回路間の電圧(VCC、VDL及びVCC間)のノイズ伝播を低く抑えるためのものである。

【0027】アドレス入力用のパッドA0~A11と、制御信号入力用のパッドRAS、CAS、WE及びOEは、上記エリア9A~9Cに配置される。この他にデータ入力用やデータ出力用のパッドやボンディングマスター用、モニタ用及びこのモニタ用パッド制御のために以下のパッドも設けられる。ボンディングマスター用としてはスタティックカラムモードを指定するためのもの、ニブルモード及び×4ビット構成時のライトマスク機能を指定するためのものがある。モニタ用としてはパッド各内部電圧VCL、VDL、VL、VBB、VCH及びVPLをモニタするためのものがある。

【0028】内部電圧のうちVCLは、約3.3Vの周辺回路用電源電圧であり、内部降圧回路17により共通に形成される。VDLは約3.3Vのメモリアレイ、すなわち、センスアンプ2に供給される電源電圧であり、この実施例では上記のような4つのメモリブロックに対応して4個設けられる。VCHは上記内部電圧VDLを受けて約5.2Vに昇圧されたワード線を選択レベル、シェアードスイッチMOSFETを選択するブースト電源電圧である。VBBは-2Vのような基板バックバイアス電圧、VPLはメモリセルのプレート電圧、VLは約3.3Vの内部降圧回路8及び17に供給される定電圧である。

【0029】図1には、この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの一実施例のブロック図が示されている。この実施例では、メモリアレイが1つにより構成されているが、図5のように実際には複数マット又はブロックに分割されている。あるいは、同

図は分割されなる複数のメモリアレイのうちの1つのメモリアレイと、そのアドレス選択回路を機能的に現しているものと理解してもよい。

【0030】XアドレスバッファXABとYアドレスバッファYABは、アドレス端子Aから時系列的に入力されるアドレス信号を、それと同期してコントロール端子Cから供給されるアドレスストローブ信号RAS、CASに従って取り込む。ロウアドレスストローブ信号RASに同期してXアドレスバッファXABに取り込まれたX系アドレス信号は、Xデコーダ回路XDECに入力され、ここでアドレス信号の解読が行われ、ワードドライバWDを通して1本のワード線の選択動作が行われる。カラムアドレスストローブ信号CASに同期してYアドレスバッファYABに取り込まれたY系アドレス信号は、Yデコーダ回路YDECに入力され、ここでアドレス信号の解読が行われてデータ線の選択信号が形成される。

【0031】同図において、Yデコーダ回路YDECからメモリアレイ部に信号線が延びるように描かれているが、これはYアドレスによって指定されるメモリセルを表現するためのものであり、実際にはメモリアレイ部には相補データ線が配置されており、その相補データ線はカラムスイッチを介して入出力線I/Oに接続される。Yデコーダ回路YDECは、上記カラムスイッチを選択する選択信号を形成する。

【0032】センスアンプSAは、上記相補データ線上に読み出された微小な記憶情報を増幅して、上記の読み出し動作によって記憶電荷が失われかかったメモリセルに対して再書き込みさせる。図5のようにシェアードセンスアンプ方式を採用する場合には、センスアンプSAを中心にして左右にメモリアレイ又はメモリマットが配置されるものである。

【0033】入出力線I/Oは、縦方向に延長されて入出力回路IOBに伝えられる。入出力回路IOBは、読み出し用のメインアンプ及び出力回路と書き込み用の入力回路とから構成される。端子Dは、読み出し信号の出力と書き込み信号の入力に用いられるデータ端子である。

【0034】この実施例では、ランダム欠陥救済のために、Xアドレス信号によってアクセスされて、欠陥セルが存在するYアドレス信号を記憶するROMと、このROMから読み出されたYアドレス信号と入力されたYアドレス信号とを比較する比較回路CMP及びYアドレス信号のセクタSEL及び冗長Y選択回路RYDECが設けられる。上記冗長Y選択回路RYDECには、一対一に対応して冗長用のメモリセル列が設けられる。

【0035】ROMは、特に制限されないが、後述するようなスタックドゲート構造の不揮発性メモリ素子が用いられ、ワード線に対応したアドレスを持ち、Yアドレス信号に対応したビット数の記憶データをパラレルに入

出力する。特定のワード線に1個のランダム欠陥セルが存在するとき、そのワード線に対応したアドレスに欠陥セルが存在するYアドレスを記憶させる。ワード線上に欠陥セルが存在しない場合には書き込みが行われなく、そのときのYアドレスは初期データ、例えばオール0にされる。したがって、各ワード線において欠陥が存在しない場合には、Yアドレス信号がオール0に対応したアドレスに欠陥セルが存在するものとみなれて、正規回路に代えて冗長回路が選択される。

【0036】記憶させるYアドレスに1ビットのフラグを追加し、このビットに1を書き込むことにより、記憶されたYアドレスが不良アドレスであることを示すようにしてもよい。この場合には、ROMから出力されたフラグが1のときのみコンパレータCMPの出力信号が有効にされる。このようにすれば、各ワード線において欠陥が存在しない場合にROMの記憶素子の初期データに対応したアドレスに欠陥セルが存在するものとみなされてしまうことを防ぐことができる。

【0037】セクタSELは、YアドレスバッファYABから入力されたYアドレス信号を正規のYデコーダ回路YDECへの入力を選択的に禁止する動作を行う。すなわち、コンパレータCMPにより一致信号が出力されると、セクタSELはYアドレス信号を正規のYデコーダ回路YDECに入力するのを禁止する。上記コンパレータCMPの一致信号により、冗長Y選択回路RYDECが動作し、冗長用の相補データ線の選択信号を形成する。

【0038】同図において、黒丸で示された位置にランダム欠陥セルが存在する場合、欠陥セルが存在するワード線(Xアドレス)により、ROMを指定してワード線上のYアドレスを記憶させる。このような構成を採用することにより、前記のような約16Mビットのような大記憶容量を持つダイナミック型RAMにあっても、1つの欠陥セルに対して12ビットからなるようなYアドレスを記憶させるだけでよい。上記のようなダイナミック型RAMの場合、X系のアドレスが約4KあるからROMとしては、 $4K \times 12 = 48K$ ビットのような記憶容量を持てばよい。

【0039】上記のような約4K本のワード線上にそれぞれ1個までの欠陥セルがあることを条件にして、最大約4Kビットもの欠陥セルを上記のような48Kビットの記憶容量を持つROMと12ビットの比較動作を行う1つのコンパレータCMP及び冗長用選択回路RYDECとそれに対応した1列分の冗長セルだけで救済できることになる。すなわち、同図のように各ワード線に存在するランダム欠陥セルは、冗長用選択回路RYDECにより選択される1列に並べられた冗長セルに置き換えることができる。このような不良アドレスの指定方式を採用することにより、ランダム欠陥セルを特定するための記憶回路の簡素化及び欠陥セルへのアクセスを検出するコンパ

レータの大幅な簡素化を図ることができる。

【0040】上記ROMは、特に制限されないが、ダイナミック型RAMのXアドレスをROM用にXアドレスとYアドレスに分割し、メモリアレイ上に並べられた記憶素子をダイナミック型RAMのYアドレス信号に対応したビット単位でアクセスするようにするものである。

【0041】図2には、この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの他の一実施例のブロック図が示されている。この実施例では、ダイナミック型RAMのメモリアレイにROMが一体的に構成される。

【0042】この実施例では、ダイナミック型RAMのXデコーダ回路XDECの出力信号、言い換えるならば、ダイナミック型RAMのワード線にROMを構成するメモリセルを接続して、ROMの簡素化を図るようにするものである。例えば、メモリアレイのワード線に対して12本のビット線又はデータ線を交差させて、その交差部に後述するようなスタックドゲート構造の記憶素子を設ける。

【0043】上記のようなメモリ記憶素子に代えてヒューズ手段を用いてもよい。このようなヒューズ手段を設ける場合には、ダイオード形態のMOSFET等からなる一方向性素子を介して、ワード線とビット線とを接続させる。ヒューズは、特に制限されないが、上層の導電層を利用した細線により構成し、レーザースポットの照射によって選択的に切断するようにすればよい。例えば、ヒューズを切断しない場合には、ワード線のハイレベルがビット線に伝えられ、ヒューズを切断した場合にはロウレベルが出力されるようにすればよい。

【0044】この構成では、ダイナミック型RAMのX系のアドレス選択動作により同時にROMのアクセスが行われて、12本のビット線からは不良のYアドレスに対応した1と0の信号が出力される。この信号は、そのままコンパレータCMPの一方の入力に供給され、YアドレスバッファYABより出力されるYアドレス信号と比較される。

【0045】この構成では、ROMをダイナミック型RAMのメモリアレイ上に構成できるので、そのアドレスデコーダやワード線をダイナミック型RAMの正規回路のものと共用できるからROMの大幅な占有面積の縮小を図ることができる。前記のように、1つのワード線上に2個以上の欠陥セルを救済する場合には、その救済する欠陥セルの数に対応して、上記のようなビット線やコンパレータCMPの数を増加させればよい。

【0046】図3には、この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの更に他の一実施例のブロック図が示されている。この実施例では、ダイナミック型RAMのXデコーダ回路XDECの出力信号のみを共用するものである。図2の実施例のようにワード線も共用すると、ダイナミック型RAMのワード線の負

荷をその分重くしたりする等の不都合の生じる場合がある。

【0047】そこで、この実施例ではアドレスデコード信号のみを取り出してROMの選択信号として、ダイナミック型RAMのメモリアレイとは別に設けられROMアレイに供給するものである。X系のアドレスデコード回路が複数の論理段により構成されている場合、それぞれのプレデコード信号をROMに供給し、ROM側において簡単なデコード回路を設けて、アドレス選択動作を行わせるようにするものであってもよい。前記のように、1つのワード線上に2個以上の欠陥セルを救済する場合には、その救済する欠陥セルの数に対応して、ROM及びコンパレータCMPの数を増加させればよい。

【0048】図4には、上記Y系の不良アドレスを記憶するROMの一実施例の回路図が示されている。同図において、PチャンネルMOSFETは、そのチャンネル（バックゲート）部に矢印が付加されることによってNチャンネルMOSFETと区別される。

【0049】ROMのメモリアレイとして、代表として例示的に8つのメモリセルM1～M8が例示的に示されている。すなわち、例示的に示されているコントロールゲートとフローティングゲートを有するスタックドゲート構造のメモリセル（不揮発性メモリ素子…MOSFETM1～M8）と、ワード線W0～Wm及びデータ線D0、D1～D10、D11によりメモリアレイが構成されている。このようなスタックドゲート構造のメモリセルを用いた場合には、ダイナミック型RAMのメモリセルと同じサイズかそれより小さく形成できるから、図2のように正規回路のメモリアレイにROMを組み込むこともできる。

【0050】上記例示的に示されているメモリアレイにおいて、同じ行に配置されたメモリセルM1とM2及びM5とM6（M3とM4及びM7とM8）のコントロールゲートは、それぞれ対応するワード線W0（Wm）に接続される。ワード線W0、Wmは、ワードドライバWD0～WDmにより駆動される。このワード線W0～Wmは、図2のようにダイナミック型RAMの正規メモリアレイのワード線と共用されてもよいし、図3のようにX系デコーダ回路XDECの出力信号がワードドライバWD0～WDmに供給されるものであってもよい。

【0051】同じ列に配置されたメモリセルM1、M3とM2、M4のドレインは、それぞれ対応するデータ線D0とD1に接続され、メモリセルM5、M7とM6、M8のドレインは、それぞれ対応するデータ線D10とD11に接続されている。メモリセルM1～M8のソースは共通ソース線CSに接続される。

【0052】特に制限されないが、この実施例ではY系のアドレス信号A0～A11に対応して12ビットのような複数ビットの単位での書き込み／読み出しを行うようにされる。なお、ROMのメモリアレイは、前記のよ

うにダイナミック型RAMにおけるX系アドレスをROMアドレスのXアドレスとYアドレスに分割して振り分ける構成としてもよい。

【0053】ROMのメモリアレイを構成する各データ線の数、12×Nのように多数に構成した場合、カラムスイッチを設けて不良のYアドレスに対応した共通データ線に接続すればよい。Yアドレスに振り分けられたアドレス信号のデコード出力により1/Nの選択動作が行われる。

【0054】半導体技術の進展に伴い、素子サイズの小型化や絶縁膜の膜厚は薄くなる傾向にあることに着目し、このような素子の小型化や薄膜化に伴い、スタックドゲート構造の不揮発性メモリ素子への書き込み動作に必要なとされる電圧自体も低くてもよい。

【0055】この実施例では、メモリセルのドレインに印加される書き込み電圧は、5～6V程度の低い電圧で行うようにするものである。すなわち、従来のスタックドゲート構造の不揮発性メモリ素子を用いた従来のEPROMのように約12Vもの高電圧VPPを用いるものに代えて、書き込み電圧としてVCCのような約5～6Vのような電源電圧を用いるものである。すなわち、ダイナミック型RAMは、レベル変換回路により低電圧3.3Vのような動作電圧にされるが、ROMへの書き込み動作においては、不良アドレスを指定するアドレス信号は、レベル変換しないで5V系の信号ままでROMに伝えるようにすればよい。

【0056】この場合には、書き込み負荷回路を構成するMOSFETQ15とQ16のゲートに供給される制御信号PROGや書き込みデータDiは、VCC+Vth（VthはMOSFETQ15、Q16のしきい値電圧）以上に昇圧されたブースト電圧が用いられ、MOSFETQ15、Q16の実効的なしきい値電圧により、上記VCCのレベル低下がないようにされる。このようにVCCを書き込み電圧としてデータ線に供給するとき、MOSFETQ15、Q16をPチャンネル型MOSFETにより構成すれば、制御信号PROG及び書き込みデータDiとしてのYアドレス信号も5V系のCMOS回路を用いることができる。

【0057】上記データ線D0には、書き込み電圧分担用に設けられたMOSFETQ10とスイッチMOSFETQ11を介してセンスアンプSA0の入力段回路の入力端子に結合される。入力段の増幅動作を行うMOSFETQ12～Q14と、その制御用インバータ回路N2、N3とCMOSインバータ回路N4とで構成される回路をセンスアンプSA0と呼ぶ事とする。上記MOSFETQ11は、制御信号PROGを受けるインバータ回路N1の出力信号によって制御され、書き込み動作のときにはオフ状態にされる。これにより、書き込み時におけるデータ線D0の比較的高い電位がセンスアンプSA0の入力に供給されることを防いでいる。

【0058】上記スイッチMOSFETQ11やセンスアンプを構成するMOSFETは、素子の微細化等に伴いゲート絶縁膜は薄く形成されている。このような周辺回路を構成するMOSFETと同じゲート絶縁膜を持つMOSFETを用いてスイッチMOSFETQ11が構成されるため、書き込み電圧を上記のように比較的低くしても、5V～6V程度の電圧が直接印加されることになる。そこで、MOSFETQ10を直列に挿入してゲートに電源電圧VCCを定常的に供給することにより、上記のような書き込み電圧をMOSFETQ10とQ11により分担させて実質的な高耐圧化を図るものである。

【0059】読み出し動作において、データ線D0に読み出されたメモリセルの記憶レベルは、定常的にオン状態にされているMOSFETQ10及び読み出し時にオン状態にされるMOSFETQ11を通して、そのソースが接続されたNチャンネル型の増幅MOSFETQ12のソースに接続される。この増幅MOSFETQ12のドレインと電源電圧端子VCCとの間には、そのゲートとソースが接続されたPチャンネル型の負荷MOSFETQ13が設けられる。上記負荷MOSFETQ13は、読み出し動作のためにデータ線にプリチャージ電流を流すような動作を行う。

【0060】上記増幅MOSFETQ12の感度を高くするため、読み出し入力信号は反転増幅回路として作用するインバータ回路N2、N3の入力に供給される。反転増幅回路としてのインバータ回路N3の出力信号は、上記増幅MOSFETQ12のゲートに供給される。また、上記ソース入力には、リミッタとして作用するMOSFETQ14を介して電源端子VCCからチャージアップが行われる。このMOSFETQ14のゲートには、反転増幅回路としてのインバータ回路N2の出力信号が供給される。

【0061】メモリセルの読み出し時において、メモリセルは、フローティングゲートに蓄積された情報電荷に従って、ワード線の選択レベルに対して高いしきい値電圧か又は低いしきい値電圧を持つものである。選択されたメモリセルがワード線が選択レベルにされているにもかかわらずオフ状態にされている場合、データ線D0は、MOSFETQ12とQ14からの電流供給によって比較的高いレベルにされる。一方、選択されたメモリセルがワード線選択レベルによってオン状態にされている場合、データ線D0は比較的低いレベルにされる。

【0062】この場合、データ線D0のハイレベルは、このハイレベルの電位を受ける反転増幅回路により形成された比較的低いレベルの出力電圧がMOSFETQ14のゲートに供給されることによって比較的低い電位に制限される。一方、データ線D0のロウレベルは、このロウレベルの電位を受ける反転増幅回路により形成された比較的高いレベルの電圧がMOSFETQ14のゲート



トに供給されることによって比較的高い電位に制限される。このようなデータ線D0のレベル制限作用によって、メモリセルから連続して読み出される記憶情報が1レベルから0レベルに変化するとき、あるいは0レベルから1レベルに変化するときの信号変化速度を実質的に速くできる。

【0063】上記増幅用のMOSFETQ12は、ゲート接地型ソース入力増幅動作を行い、その出力信号をCMOSインバータ回路N4の入力に伝える。CMOSインバータ回路N4は、増幅MOSFETQ12のドレイン出力信号を波形整形して対応してコンパレータCMPに伝える。

【0064】おな、不良アドレスの書き込みは、EPROMのメモリセルと同様にデータ線に接続されたドレインに高電圧(VCC)を供給して発生させたホットキャリアをフローティングゲートに注入することにより行われる。書き込み動作によりメモリセルのコントロールゲートが接続されたワード線からみだりな電圧は高くなる。これに代えて、フローティングゲートとドレイン間に高電界を発生させ、薄い酸化膜を通したトンネル現象を利用してフローティングゲートに電子を蓄積させるようにしてもよい。

【0065】図6には、上記センスアンプの他の一実施例の回路図が示されている。この実施例では、ダイナミック型RAMに用いられるようなセンスアンプと同様なセンスアンプを用いる。すなわち、Pチャンネル型MOSFETQ1、Q3とNチャンネル型MOSFETQ2、Q4によりそれぞれ構成されたCMOSインバータ回路の入力と出力とを相互に接続してラッチ形成にする。Pチャンネル型MOSFETQ1とQ3のソースと電源電圧VCCとの間にパワースイッチとしてのPチャンネル型MOSFETQ7を設けて、センスアンプの活性化信号SABによりスイッチ制御する。Nチャンネル型MOSFETQ2とQ4のソースと回路の接地電位点との間にパワースイッチとしてのNチャンネル型MOSFETQ8を設けて、センスアンプの活性化信号SATによりスイッチ制御する。上記センスアンプの活性化信号SABは、それがロウレベルがアクティブレベルであり、SATはハイレベルがアクティブレベルとされる相補信号である。

【0066】上記センスアンプの一对の入力にはスイッチMOSFETQ5とQ6を介して入力信号Diと基準(参照)電圧VCC/2が供給される。これらのスイッチMOSFETQ5とQ6のゲートには、読み出しモードのときにハイレベルにされるセンスアンプ制御信号SACが供給される。これのMOSFETQ5とQ6は、主として耐圧対策上必要な場合に設けるようにし、書き込み電圧との関係において耐圧上問題なければ省略できる。

【0067】データ線は記憶MOSFETの記憶情報に

応じてそれがオフ状態のときにはセンスアンプの入力においてVCC/2より若干高い電圧となり、オン状態のときにはVCC/2より低い電圧となるような適当なバイアス回路又は負荷回路が設けられる。また、図2においてSAも共用することができる。

【0068】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) X系のアドレスによりアクセスが行われて欠陥セルが存在するY系アドレス信号が電氣的に書き込まれるROMを設け、このROMの読み出し信号とY系のアドレス信号とを比較して、一致したときY系の正規回路に代えてY系の冗長回路を選択させることにより、ROMは欠陥が存在するY系アドレス信号のみを記憶するものである。素子数を低減できるし、比較回路はY系アドレスのみを比較すること及びY系の全アドレスに共通に利用できるから回路規模を大幅に縮小させることができるという効果が得られる。

【0069】(2) 上記ROMは、コントロールゲートとフローティングゲートとを備え、フローティングゲートに記憶情報に従った電荷の蓄積を行わせるスタックドゲート構造の不揮発性メモリ素子を用いることにより、ダイナミック型メモリセルとほぼ同じかそれより小さなサイズでセルが構成できるからROMの簡素化を図ることができるという効果が得られる。

【0070】(3) 上記ROMとしてX系のアドレス選択回路に隣接して正規回路のメモリアレイ上に不揮発性メモリ素子を形成することにより、大幅な回路の簡素化が可能になるという効果が得られる。

【0071】(4) X系アドレス信号とY系のアドレス信号とが時系列的に入力されるダイナミック型RAMに適用することにより、X系のアドレス信号とY系のアドレス信号の入力時間差を利用して、正規回路から冗長回路への切り換えが行われるから動作の高速化を図ることができるという効果が得られる。

【0072】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダイナミック型RAMは、メモリセルとしてダイナミック型メモリセルを用いるものをいい、入出力インターフェイスをスタティック型RAMと互換性を持たせたような擬似スタティック型RAMと呼ばれるようなものや、入出力部にシリアル入出力機能を持たせた画像処理用等の特定用途向けられるものも含むものであることはいうまでもない。

【0073】この発明は、前記のようなダイナミック型RAMその他、スタティック型RAMやEPROM等の各種半導体記憶装置に適用できるものである。なお、EPROMに適用する場合、不良アドレスが記憶された部分は、その表面部分にアルミニウム等からなる遮光膜を

形成して紫外線照射による消去が不能にされるものである。

【0074】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、X系のアドレスによりアクセスが行われて欠陥セルが存在するY系アドレス信号が電氣的に書き込まれるROMを設け、このROMの読み出し信号とY系のアドレス信号とを比較して、一致したときY系の正規回路に代えてY系の冗長回路を選択させることにより、ROMは欠陥が存在するY系アドレス信号のみを記憶するものであるので素子数を低減できるし、比較回路はY系アドレスのみを比較すること及びY系の全アドレスに共通に利用できるから回路規模を大幅に縮小させることができる。

【図面の簡単な説明】

【図1】この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの一実施例を示すブロック図である。

【図2】この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの他の一実施例を示すブロック図である。

【図3】この発明に係るランダム欠陥救済機能を持つダイナミック型RAMの更に他の一実施例を示すブロック

図である。

【図4】不良アドレスの記憶に用いられるROMの一実施例を示す回路図である。

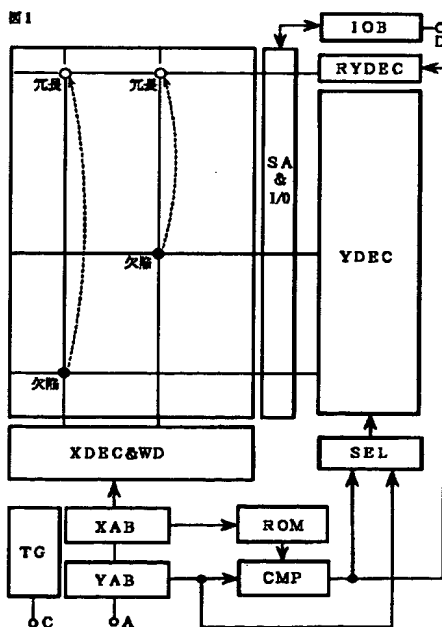
【図5】この発明が適用されたダイナミック型RAMの一実施例を示す全体ブロック図である。

【図6】図4のROMに用いられるセンスアンプの他の一実施例の回路図である。

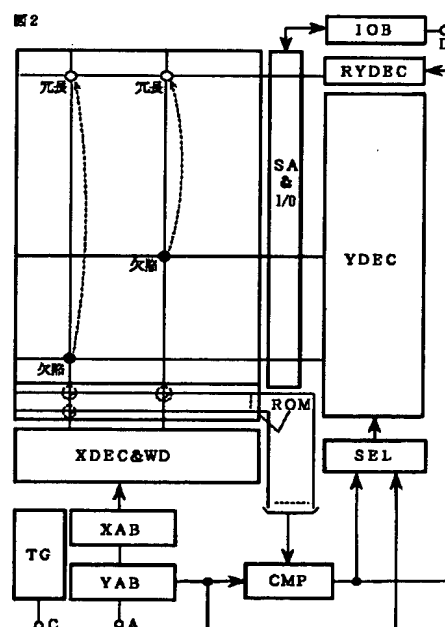
【符号の説明】

XAB…Xアドレスバッファ、XDEC…Xデコーダ回路、WD…ワードドライバ、YAB…Yアドレスバッファ、YDEC…Yデコーダ回路、RYDEC…冗長用選択回路、SEL…セクタ、CMP…コンパレータ、TG…タイミング制御回路、M1～M8…不揮発性メモリ素子、1…メモリマト、2…センスアンプ、3…Xデコーダ、4…マト制御信号発生回路、5…Y選択回路、6…ワードクリア回路、7…メインアンプ、8…内部降圧回路（センスアンプ用）、9A～9C…入力パッドエリア、10…X系回路と、11…RAS系制御信号回路、12…WE系信号制御回路、13…Y系回路14…CAS系制御信号回路、15…テスト回路、16…基準電圧発生回路、17…内部降圧回路、18…基板電圧発生回路、19…データ出力バッファ回路、20…データ入力バッファ回路、21…昇圧電圧発生回路。

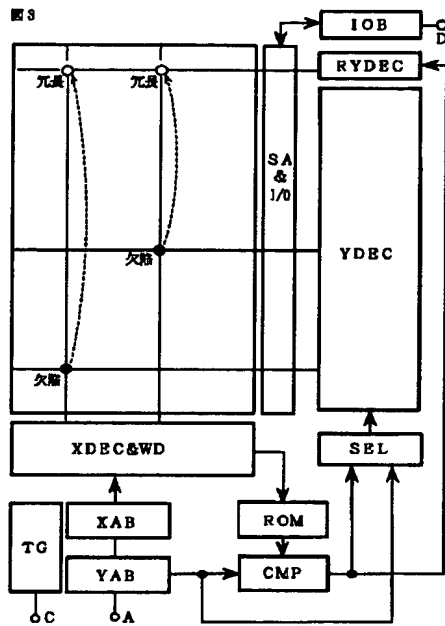
【図1】



【図2】

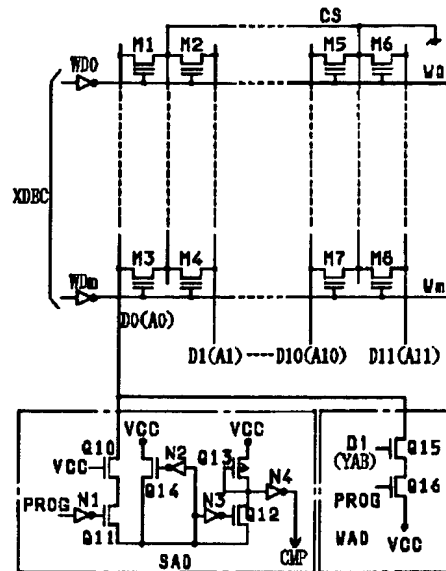


【図3】



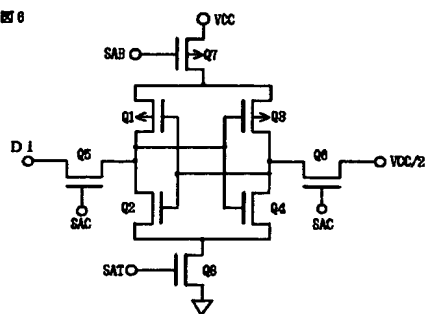
【図4】

図4

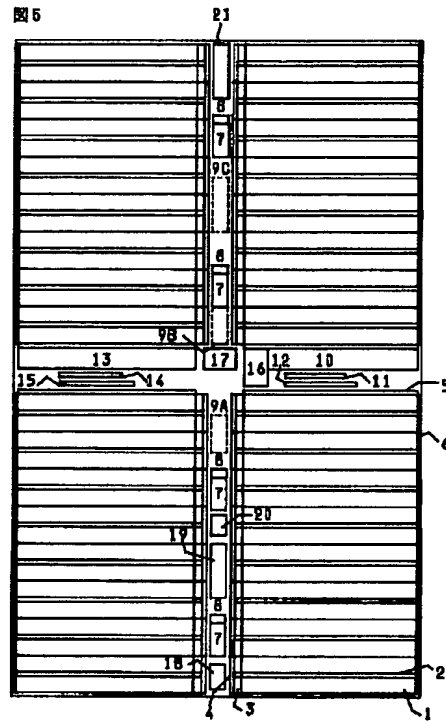


【図6】

図6



【図5】



フロントページの続き

(72)発明者 村中 雅也  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 那須 巧  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 助川 俊一  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内